

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085512

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H01L 21/76

H01L 27/08

H01L 29/78

(21)Application number : 11-261198

(71)Applicant : NEC CORP

(22)Date of filing : 14.09.1999

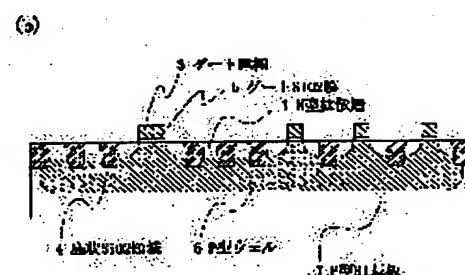
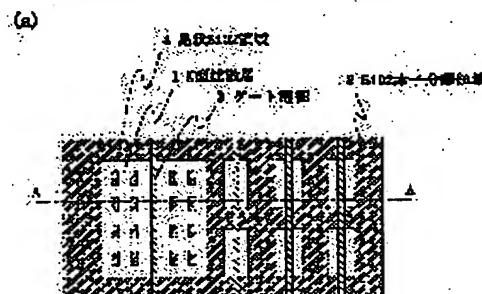
(72)Inventor : HAMATAKE NOBUHISA

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To form an uniform element isolation region and positively increase the parasitic resistance of a transistor, without increasing man-hours by reducing the difference in polishing rates caused by difference in the areas of diffused layer patterns.

**SOLUTION:** This semiconductor device is provided with a P-type Si substrate 7, a P-type well 6 formed in the upper part of the substrate 7, an SiO<sub>2</sub> element isolation region 2 isolating elements on the substrate 7, a gate SiO<sub>2</sub> film 5 which is formed sequentially on the P-type well 6 in the central part in each element region isolated by the element isolation region 2, a gate electrode 3 formed sequentially on the gate SiO<sub>2</sub> film 5, an N-type diffusion layer 1 which is formed on both sides of the gate electrode 3 sequentially to the P-type well 6, and an island type SiO<sub>2</sub> region 4 formed in the N-type diffusion layer 1.



### LEGAL STATUS

[Date of request for examination]

08.08.2000

[Date of sending the examiner's decision of rejection]

26.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85512

(P2001-85512A)

(43) 公開日 平成13年3月30日 (2001.3.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>8</sup> (参考)
H 0 1 L 21/76		H 0 1 L 21/76	N 5 F 0 3 2
27/08	3 3 1	27/08	3 3 1 A 5 F 0 4 0
29/78		29/78	3 0 1 S 5 F 0 4 8
			3 0 1 X

審査請求 有 請求項の数 9 O L (全 8 頁)

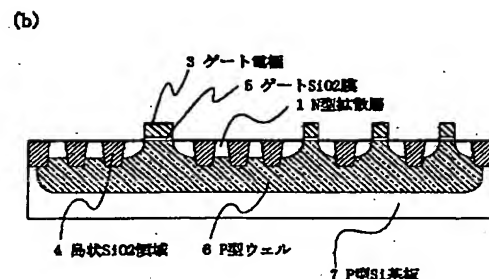
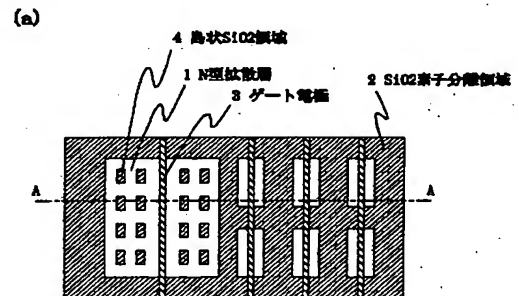
(21) 出願番号	特願平11-261198	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成11年9月14日 (1999.9.14)	(72) 発明者	横武 伸寿 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100095740 弁理士 関口 宗昭
		Fターム (参考)	5F032 AA34 AA44 CA03 CA17 DA02 DA33 DA78 5F040 DA00 DA19 DB01 DC01 EF01 EK05 5F048 AA02 AA04 AA05 ACD1 BA01 BC01 BE04 BG14

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 本発明は、拡散層パターンの面積差に起因する研磨レートの差を低減し均一な素子分離領域を形成すること、工程数を増やすことなくトランジスタの寄生抵抗を積極的に大きくすることを課題とする。

【解決手段】 P型Si基板7と、P型Si基板7の上部に形成されたP型ウェル6と、P型Si基板7上を素子分離するSiO<sub>2</sub>素子分離領域2と、SiO<sub>2</sub>素子分離領域2により分離された各素子領域において、その中央にP型ウェル6に続いて形成されたゲートSiO<sub>2</sub>膜5と、ゲートSiO<sub>2</sub>膜5に続いて形成されたゲート電極3と、ゲート電極3の両側にP型ウェル6に続いて形成されたN型拡散層1と、N型拡散層1内に形成された島状SiO<sub>2</sub>領域4とを備えて構成させる。



## 【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち一又は二以上の素子に、拡散層領域に包囲される一又は二以上の分離領域が設けられてなることを特徴とする半導体装置。

【請求項2】 半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち一又は二以上の素子に、前記素子分離領域に連続して形成され、拡散層領域に突出する一又は二以上の分離領域が設けられてなることを特徴とする半導体装置。

【請求項3】 半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち比較的拡散層領域の面積の大きい素子に、拡散層領域に包囲される一又は二以上の分離領域が設けられてなることを特徴とする半導体装置。

【請求項4】 半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち比較的拡散層領域の面積の大きい素子に、素子分離領域に連続して形成され、拡散層領域に突出する一又は二以上の分離領域が設けられてなることを特徴とする半導体装置。

【請求項5】 前記素子分離領域及び前記分離領域がトレンチ構造であることを特徴とする請求項1から請求項4のうちのいずれかに記載の半導体装置。

【請求項6】 前記分離領域が設けられる前記素子が、I/Oバッファートランジスタとして使用されることを特徴とする請求項1から請求項5までのうちのいずれかに記載の半導体装置。

【請求項7】 前記拡散層領域上に金属シリサイド膜を有することを特徴とする請求項1から請求項5までのうちのいずれかに記載の半導体装置。

【請求項8】 前記半導体基板の拡散層を形成する領域をマスクするレジスト膜形成工程と、前記レジスト膜によりマスクされない前記半導体基板の一部をエッチングし溝を形成するエッチング工程と、かかる溝が形成された前記半導体基板上に絶縁物を成長させ前記溝に前記絶縁物を埋める絶縁物成長工程と、前記絶縁物が成長した半導体基板の表面を研磨する研磨加工工程とを備える半導体装置の製造方法において、前記半導体基板上の比較的面積の大きい拡散層領域をマスクするレジスト膜に島状の開孔パターンが設けられていることを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板と、前記半導体基板上の拡散層を形成する領域をマスクするレジスト膜形成工程と、

前記レジスト膜によりマスクされない前記半導体基板の一部をエッチングし溝を形成するエッチング工程と、かかる溝が形成された前記半導体基板上に絶縁物を成長させ前記溝に前記絶縁物を埋める絶縁物成長工程と、前記絶縁物が成長した半導体基板の表面を研磨する研磨加工工程とを備える半導体装置の製造方法において、前記半導体基板上の比較的面積の大きい拡散層領域をマスクするレジスト膜にその周縁から切り込まれる楔状の切り込みパターンが設けられていることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、同一半導体基板上に複数の半導体素子が形成された半導体装置及びその半導体装置の製造方法に関するものであり、特にSTI (shallow trench isolation) に関する。

## 【0002】

【従来の技術】一般に、同一半導体基板上に複数の半導体素子を形成する場合 STI が広く用いられている。STI とは、選択エッチングにより半導体基板上に溝を形成し、その溝にSiO<sub>2</sub>などの絶縁物を埋め込んで半導体基板上のトランジスタ(素子)間を電気的に分離する技術をいう。

【0003】従来の半導体装置について、図4を参照して説明する。図4(a)は従来の半導体装置の平面図であり、図4(b)は従来の半導体装置の断面図である。

【0004】図4に示すように、従来の半導体装置は、P型Si基板7と、P型Si基板7の上部に形成されたP型ウェル6と、P型Si基板7上を素子分離するSiO<sub>2</sub>素子分離領域2と、SiO<sub>2</sub>素子分離領域2により分離された各素子領域において、その中央にP型ウェル6に続いて形成されたゲートSiO<sub>2</sub>膜5と、ゲート絶縁膜5に続いて形成されたゲート電極3と、ゲート電極3の両側にP型ウェル6に続いて形成されたN型拡散層1とを備えて構成される。また、図4に示す従来の半導体装置は、N型拡散層1の面積の比較的大きい大面積トランジスタと、N型拡散層1の面積の比較的小さい小面積トランジスタとが構成させている。すなわち図4には、面積差の大きい拡散層パターンが存在する半導体装置が示される。

【0005】このような面積差の大きい拡散層パターンが存在する半導体装置の製造におけるSTIを用いた素子分離形成工程につき図5を参照して説明する。図5は従来のSTIを用いた素子分離形成工程を説明する工程順縦断面図である。

【0006】まず図5(a)に示すように、P型Si基板7上に通常のSTI形成プロセスに従って、SiO<sub>2</sub>膜8、Si<sub>3</sub>N<sub>4</sub>膜9を形成したのち、拡散層を形成する領域を覆うフォトリソレジスト膜10を形成する。次に図5(b)に示すように、選択エッチングを行い、Si<sub>3</sub>

3

N4膜9とSiO<sub>2</sub>膜8とP型Si基板7のフォトレジスト膜10でマスクされない部分に、素子分離領域となるトレンチ11を形成し、その後、フォトレジスト膜10を除去する。次に図5(c)に示すように、P型Si基板7上に、CVD法によりSiO<sub>2</sub>層12を成長させ、トレンチ11にSiO<sub>2</sub>を埋め込む。このとき、トレンチのない領域には、SiO<sub>2</sub>が凸部を形成する。比較的面積の大きい拡散層形成する領域上には、比較的大きな凸部が形成され、比較的面積の小さい拡散層形成する領域上には、比較的小さな凸部が形成される。次に図5(d)に示すように、CMP (chemical mechanical polishing) 法により前記SiO<sub>2</sub>層12を前記Si3N4膜9が露出するまで研磨し、素子分離領域13を形成する。CMP法とは、化学的反応と機械的研磨作用とを組み合わせた平坦化技術をいう。定盤上の研磨布に半導体ウェーハを研磨剤を流しながら擦り合わせ、研磨加工するものである。

#### 【0007】

【発明が解決しようとする課題】しかし、面積差の大きい拡散層パターンが存在する半導体装置にとってSTI形成プロセスのCMP工程では、図5のように小面積トランジスタに研磨量を合わせたとき、大面積トランジスタは研磨不足となり、その拡散層パターン上にSiO<sub>2</sub>膜15が残る。そのため、Si3N4膜9をウェットエッチで除去する時にマスクとなりSi3N4膜9が大面積トランジスタの拡散層上に残ってしまうという問題点があった。逆に、大面積トランジスタの拡散層に研磨量を合わせたとき、小面積トランジスタは過研磨となり、素子分離領域13の薄膜化や、Si3N4膜9の剥がれ、パターン崩れが起きるという問題点があった。すなわち、いずれにしてもCMP工程において過研磨又は研磨不足という研磨レートの差が生じ、CMP工程後に均一な表面を得ることはできなかった。従って、従来のSTIのCMP工程は製造マージンが小さく、CMP工程により製品歩留まりを大きく下げている。

【0008】一方、近年集積回路の高集積化を目的として、金属シリサイド化によりゲート電極等が形成される際に、拡散層表面をも金属シリサイド化されたトランジスタが主流になっている。この場合、I/Oバッファートランジスタのソース、ドレインも金属シリサイド化され、トランジスタの寄生抵抗も極端に小さくなり、静電破壊に対して極端に弱くなってきているという問題点がある。I/Oバッファートランジスタは、静電気による電圧の印加を受けるため、高い静電破壊耐性が望まれる。かかる問題点を解決することを目的として、一部の製品では、ゲート電極等をシリサイド化する際に、I/Oバッファートランジスタのソース、ドレイン領域を金属シリサイドを形成させない構造を有している。

【0009】しかし、I/Oバッファートランジスタのソース、ドレイン領域を金属シリサイドを形成させない

4

構造では、金属シリサイド化をブロックする工程が必要となり、工程数の増加による製造コスト増加のという問題点がある。

【0010】本発明は以上の従来技術における問題に鑑みてなされたものであって、素子分離領域を形成するCMP工程において、拡散層パターンの面積差に起因する研磨レートの差を低減でき、均一な素子分離領域を形成することができる半導体装置及び半導体装置の製造方法を提供することを課題とする。かかる半導体装置及び半導体装置の製造方法を提供することにより、製造マージンを大きくし、製品の歩留まりを改善することを課題とする。

【0011】また、I/Oバッファートランジスタの寄生抵抗を大きくし、素子の静電破壊耐性を向上させることを課題とする。さらに、拡散層表面を金属シリサイド化した集積回路に対しては工程数を増やすことなくI/Oバッファートランジスタの寄生抵抗を積極的に大きくすることができ、製造コスト面を改善することを課題とする。

#### 【0012】

【課題を解決するための手段】前記課題を解決する本出願第1の発明は、半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち一又は二以上の素子に、拡散層領域に包囲される一又は二以上の分離領域が設けられてなることを特徴とする半導体装置である。

【0013】したがって本出願第1の発明の半導体装置によれば、拡散層領域に包囲される一又は二以上の分離領域が設けられているので、寄生抵抗を大きくすることができるといふ利点がある。拡散層領域に包囲される一又は二以上の分離領域には、半導体基板上を複数の素子に分離する素子分離領域と同一組成の材料（通常、所定のSiO<sub>2</sub>）を用いることが好ましい（以下同じ。）。同一工程で分離領域と素子分離領域を構成することができるからである。

【0014】また本出願第2の発明は、半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち一又は二以上の素子に、前記素子分離領域に連続して形成され、拡散層領域に突出する一又は二以上の分離領域が設けられてなることを特徴とする半導体装置である。

【0015】したがって本出願第2の発明の半導体装置によれば、素子分離領域に連続して形成され、拡散層領域に突出する一又は二以上の分離領域が設けられているので、寄生抵抗を大きくすることができるといふ利点がある。

【0016】また本出願第3の発明は、半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域

5

と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち比較的拡散層領域の面積の大きい素子に、拡散層領域に包囲される一又は二以上の分離領域が設けられてなることを特徴とする半導体装置である。

【0017】したがって本出願第3の発明の半導体装置によれば、比較的拡散層領域の面積の大きい素子に、拡散層領域に包囲される一又は二以上の分離領域が設けられてるので、素子分離領域を形成するCMP工程において、拡散層パターンの面積差に起因する研磨レートの差を低減でき、均一な素子分離領域を形成することができるという利点がある。そのためには、拡散層の面積が大きいなるほど、分離領域を多く設け、その複数の分離領域を拡散層内で均等に配置し、素子間の分離領域の密度のばらつきを押さえる構成とすることが良い（以下同じ。）。

【0018】また本出願第4の発明は、半導体基板と、前記半導体基板上を複数の素子に分離する素子分離領域と、前記素子分離領域により包囲される拡散層領域とを備える半導体装置において、前記複数の素子のうち比較的拡散層領域の面積の大きい素子に、素子分離領域に連続して形成され、拡散層領域に突出する一又は二以上の分離領域が設けられてなることを特徴とする半導体装置である。

【0019】したがって本出願第4の発明の半導体装置によれば、比較的拡散層領域の面積の大きい素子に、素子分離領域に連続して形成され、拡散層領域に突出する一又は二以上の分離領域が設けられてるので、素子分離領域を形成するCMP工程において、拡散層パターンの面積差に起因する研磨レートの差を低減でき、均一な素子分離領域を形成することができるという利点がある。

【0020】また本出願第5の発明は、本出願第1から第4の発明のうちいずれか一の発明の半導体装置において、前記素子分離領域及び前記分離領域がトレンチ構造であることを特徴とする半導体装置である。

【0021】したがって本出願第5の発明の半導体装置によれば、本出願第1から第4の発明の利点があるとともに、前記素子分離領域及び前記分離領域がトレンチ構造であるので、前記素子分離領域及び前記分離領域をSTIにより同時に形成することができ、従来技術と比較しても工程数を増加させることがないという利点がある。

【0022】また本出願第6の発明は、本出願第1から第5の発明のうちいずれか一の発明の半導体装置において、前記分離領域が設けられる前記素子が、I/Oバッファートランジスタとして使用されることを特徴とする半導体装置である。

【0023】したがって本出願第6の発明の半導体装置によれば、本出願第1から第5の発明の利点があるとともに、分離領域が設けられる前記素子が、I/Oバッファ

6

ートランジスタとして使用されるので、かかる素子の静電破壊耐性を向上させることができるという利点があり、静電破壊に強い半導体装置を構成することができるという利点がある。

【0024】また本出願第7の発明は、本出願第1から第5の発明のうちいずれか一の発明の半導体装置において、前記拡散層領域上に金属シリサイド膜を有することを特徴とする半導体装置。

【0025】したがって本出願第7の発明の半導体装置によれば、本出願第1から第6の発明の利点があるとともに、前記拡散層領域上に金属シリサイド膜を有するので、シリサイド化工程の前に、拡散層領域上をブロックする工程を設けずに済み、工程が増加しないという利点がある。

【0026】また本出願第8の発明は、半導体基板と、前記半導体基板上の拡散層を形成する領域をマスクするレジスト膜形成工程と、前記レジスト膜によりマスクされない前記半導体基板の一部をエッチングし溝を形成するエッチング工程と、かかる溝が形成された前記半導体基板上に絶縁物を成長させ前記溝に前記絶縁物を埋める絶縁物成長工程と、前記絶縁物が成長した半導体基板の表面を研磨する研磨加工工程とを備える半導体装置の製造方法において、前記半導体基板上の比較的面積の大きい拡散層領域をマスクするレジスト膜に島状の開口パターンが設けられていることを特徴とする半導体装置の製造方法である。

【0027】したがって本出願第8の発明の半導体装置によれば、半導体基板上の比較的面積の大きい拡散層領域を形成する領域をマスクするレジスト膜に島状の開口パターンが設けられているので、その後のエッチング工程において、その開口パターン部分に露出する半導体基板に溝が形成され、絶縁物成長工程において、その溝に絶縁物が埋め込まれ、比較的面積の大きい拡散層領域上の絶縁物の凸部と比較的面積の小さい拡散層領域上の絶縁物の凸部との間の大小差が小さくされる。そのため、その後の研磨加工工程において、過研磨又は研磨不足が生じず、均一な素子分離領域を形成することができるという利点がある。

【0028】また本出願第9の発明は、半導体基板と、前記半導体基板上の拡散層を形成する領域をマスクするレジスト膜形成工程と、前記レジスト膜によりマスクされない前記半導体基板の一部をエッチングし溝を形成するエッチング工程と、かかる溝が形成された前記半導体基板上に絶縁物を成長させ前記溝に前記絶縁物を埋める絶縁物成長工程と、前記絶縁物が成長した半導体基板の表面を研磨する研磨加工工程とを備える半導体装置の製造方法において、前記半導体基板上の比較的面積の大きい拡散層領域をマスクするレジスト膜にその周縁から切り込まれる楔状の切り込みパターンが設けられていることを特徴とする半導体装置の製造方法である。

【0029】したがって本出願第9の発明の半導体装置によれば、半導体基板上の比較的面積の大きい拡散層領域をマスクするレジスト膜にその周縁から切り込まれる楔状の切り込みパターンが設けられているので、その後のエッチング工程において、その切り込みパターン部分に露出する半導体基板に溝が形成され、絶縁物成長工程において、その溝に絶縁物が埋め込まれ、比較的面積の大きい拡散層領域上の絶縁物の凸部と比較的面積の小さい拡散層領域上の絶縁物の凸部との間の大小差が小さくされる。そのため、その後の研磨加工工程において、過研磨又は研磨不足が生じず、均一な素子分離領域を形成することができるという利点がある。

#### 【0030】実施の形態1

まず、本発明の半導体装置の一実施形態につき、図1を参照して説明する。図1(a)は本発明の実施の形態1の半導体装置の平面図であり、図1(b)は本発明の実施の形態1の半導体装置の断面図である。

【0031】図1に示すように、実施の形態1の半導体装置は、P型Si基板7と、P型Si基板7の上部に形成されたP型ウェル6と、P型Si基板7上を素子分離するSiO<sub>2</sub>素子分離領域2と、SiO<sub>2</sub>素子分離領域2により分離された各素子領域において、その中央にP型ウェル6に続いて形成されたゲートSiO<sub>2</sub>膜5と、ゲートSiO<sub>2</sub>膜5に続いて形成されたゲート電極3と、ゲート電極3の両側にP型ウェル6に続いて形成されたN型拡散層1と、N型拡散層1内に形成された島状SiO<sub>2</sub>領域4とを備えて構成される。

【0032】また、実施の形態1の半導体装置には、N型拡散層1の面積の比較的大きい大面積トランジスタと、N型拡散層1の面積の比較的小さい小面積トランジスタとが構成されている。実施の形態1の半導体装置において、大面積トランジスタは大面積拡散層を必要とするI/Oバッファを構成する素子に用い、小面積トランジスタは内部セルトランジスタを構成する素子に用いる。

【0033】実施の形態1の半導体装置によれば、N型拡散層1の面積の比較的大きい大面積トランジスタのN型拡散層1内に島状SiO<sub>2</sub>領域4が形成されているため、I/Oバッファトランジスタの寄生抵抗を大きくし、素子の静電破壊耐性を向上させることができる。

【0034】次に、実施の形態1の半導体装置を製造可能な本発明の半導体の製造方法の一実施形態につき図2を参照して説明する。図2は本発明の半導体装置の製造方法の一実施形態に係るSTIを用いた素子分離形成工程を説明する工程順縦断面図である。

【0035】まず図2(a)に示すように、P型Si基板7上に通常のSTI形成プロセスに従って、SiO<sub>2</sub>膜8、Si<sub>3</sub>N<sub>4</sub>膜9を形成したのち、拡散層を形成する領域を覆うフォトリソ膜10を形成する。このとき大面積トランジスタの拡散層を形成する領域を覆うフ

ォトリソ膜10には、島状の開口パターンを形成する。

【0036】次に図2(b)に示すように、選択エッチングを行い、Si<sub>3</sub>N<sub>4</sub>膜9とSiO<sub>2</sub>膜8とP型Si基板7のフォトリソ膜10でマスクされない部分に、素子分離領域となるトレンチ11を形成し、フォトリソ膜10を除去する。

【0037】次に図2(c)に示すように、P型Si基板7上に、CVD法によりSiO<sub>2</sub>層12を成長させ、トレンチ11にSiO<sub>2</sub>を埋め込む。

【0038】次に図2(d)に示すように、CMP(chemical mechanical polishing)法により前記SiO<sub>2</sub>層12を前記Si<sub>3</sub>N<sub>4</sub>膜9が露出するまで研磨し、素子分離領域13を形成する。

【0039】以上のように、本発明によれば、大面積トランジスタの拡散層内に島状SiO<sub>2</sub>領域4を形成することにより、内部セルトランジスタ領域のマスクデータ率を近づけることができるため、素子分離領域を形成するCMP工程においてフォトリソ膜10のパターンの粗密差に起因する研磨レートの差を低減できている。ゆえに、拡散層のパターンに依存しない均一な素子分離領域を形成できる。したがって本発明によれば、製造マージンが大きくなり、製品の歩留まりが改善する。

【0040】すなわち、島状SiO<sub>2</sub>領域4を形成することにより、CMP工程において過研磨や研磨不足が生じない。したがって、過研磨による素子分離領域13の薄膜化や、Si<sub>3</sub>N<sub>4</sub>膜9の剥がれ、パターン崩れが回避される。研磨不足によるSiO<sub>2</sub>層12がSi<sub>3</sub>N<sub>4</sub>膜9研磨残りが回避され、Si<sub>3</sub>N<sub>4</sub>膜9をウェットエッチで除去する時に大面積トランジスタの拡散層上にSi<sub>3</sub>N<sub>4</sub>膜9が残るという不都合が回避される。

【0041】また、本発明の半導体装置の製造方法においては、SiO<sub>2</sub>素子分離領域2、島状SiO<sub>2</sub>領域4はSTIを用いた同一工程にて形成されている。そのため、本発明の特徴たる島状SiO<sub>2</sub>領域4を形成するために、工程数が増えることはないという利点がある。したがって、工程数を増やすことなくI/Oバッファトランジスタの寄生抵抗を積極的に大きくすることができ、静電破壊耐性が向上することができる。

#### 【0042】実施の形態2

次に、本発明の半導体装置の他の実施形態につき、図3を参照して説明する。図3は本発明の実施の形態2の半導体装置の平面図である。

【0043】図3に示すように、実施の形態1では大面積拡散層とセルトランジスタ領域のマスクデータ率を近づけるために大面積拡散層内に島状のパターンを形成したが、実施の形態2では同様の目的のために、大面積拡散層内に対して素子分離のためのSiO<sub>2</sub>素子分離領域2に連続する楔状の楔状SiO<sub>2</sub>領域14が形成された構造を有している。かかる構造を有する実施の形態2の



半導体装置は、実施の形態1の半導体装置に比較し、トランジスタの寄生抵抗を積極的に大きくする効果は顕著となる。

【0044】実施の形態2の半導体装置の製造においては、大面積トランジスタの拡散層を形成する領域を覆うフォトリソ膜に、楔状の切り込みパターンを形成する。その他は、実施の形態1と同様にして製造する。

#### 【0045】

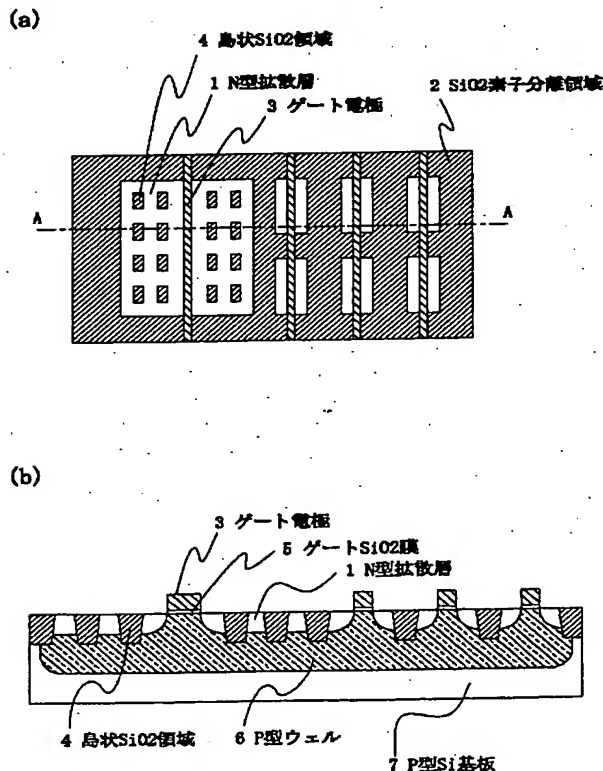
【発明の効果】上述のように本発明は、島状の $\text{SiO}_2$ 領域又は楔上の $\text{SiO}_2$ 領域を形成することにより、素子分離領域を形成するCMP工程において、拡散層パターンの面積差に起因する研磨レート差を低減でき、均一な素子分離領域を形成することができるという効果がある。したがって本発明によれば、製造マージンが大きくなり、製品の歩留まりが改善するという効果がある。また、島状の $\text{SiO}_2$ 領域又は楔上の $\text{SiO}_2$ 領域を形成することにより、工程数を増やすことなく、素子の寄生抵抗を大きくすることができるという効果がある。

#### 【図面の簡単な説明】

【図1】 (a)は本発明の実施の形態1の半導体装置の平面図であり、(b)は本発明の実施の形態1の半導体装置の断面図である。

【図2】 本発明の半導体装置の製造方法の一実施形態に係るSTIを用いた素子分離形成工程を説明する工\*

【図1】



\*工程縦断面図である。

【図3】 本発明の実施の形態2の半導体装置の平面図である。

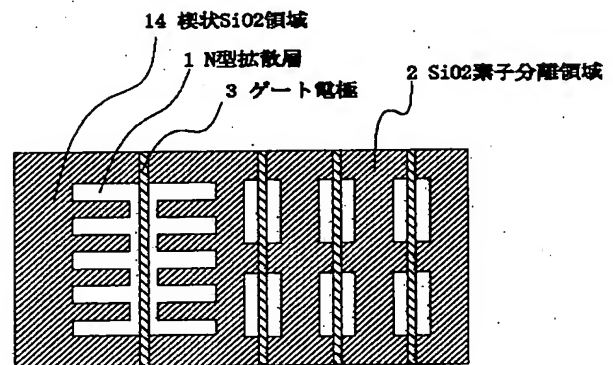
【図4】 (a)は従来の半導体装置の平面図であり、(b)は従来の半導体装置の断面図である。

【図5】 従来のSTIを用いた素子分離形成工程を説明する工程縦断面図である。

#### 【符号の説明】

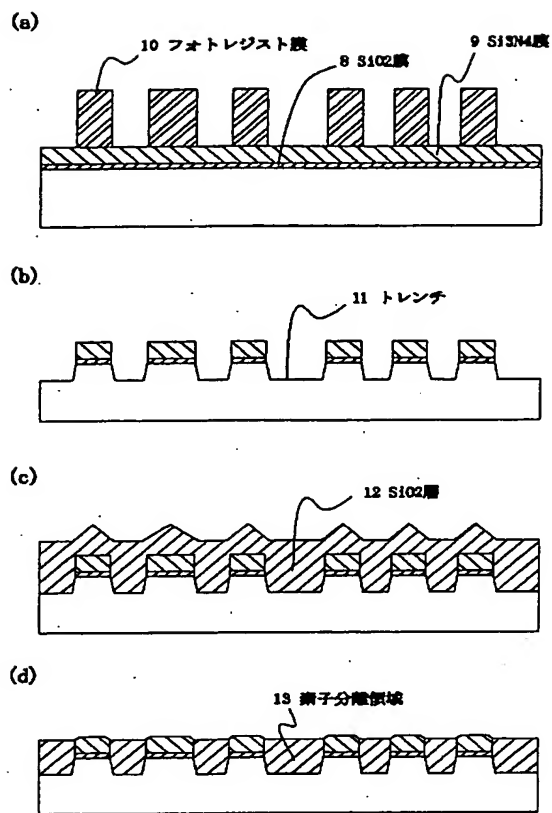
- |    |                           |
|----|---------------------------|
| 1  | N型拡散層                     |
| 2  | $\text{SiO}_2$ 素子分離領域     |
| 3  | ゲート電極                     |
| 4  | 島状 $\text{SiO}_2$ 領域      |
| 5  | ゲート $\text{SiO}_2$ 膜      |
| 6  | P型ウェル                     |
| 7  | P型Si基板                    |
| 8  | $\text{SiO}_2$ 膜          |
| 9  | $\text{Si}_3\text{N}_4$ 膜 |
| 10 | フォトリソ膜                    |
| 11 | トレンチ                      |
| 12 | $\text{SiO}_2$ 層          |
| 13 | 素子分離領域                    |
| 14 | 楔状 $\text{SiO}_2$ 領域      |
| 15 | $\text{SiO}_2$ 膜          |

【図3】

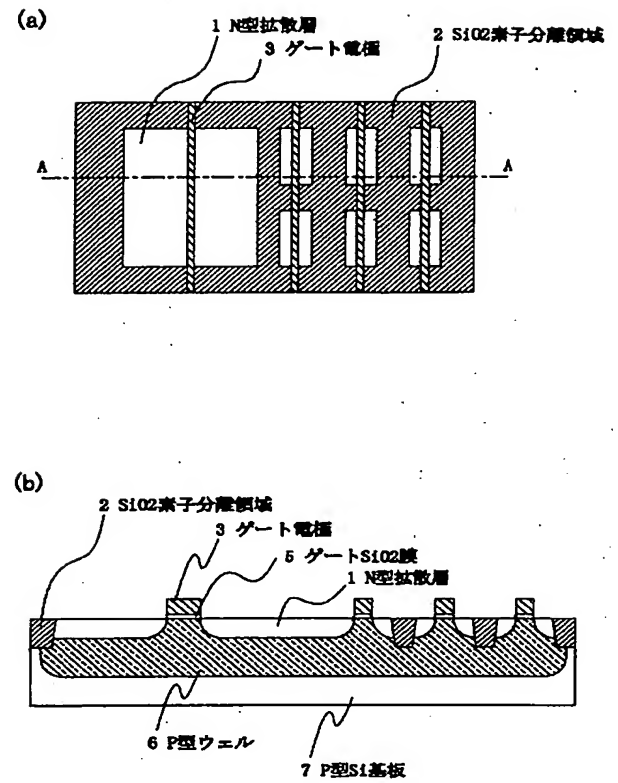




【図2】



【図4】



【図5】

